



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2



Autenticazione di copia di documenti relativi alla domanda di brevetto per *Invenzione Industriale*

N.
MI2002 A 002629

*Si dichiara che l'unità copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

13 GEN. 2004

Il

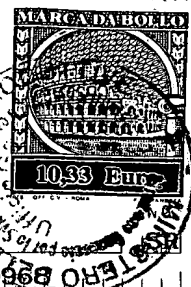
IL DIRIGENTE
Paola Giuliano
.....
D.ssa Paola Giuliano

AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO 7



A. RICHIEDENTE (I)

1) Denominazione **STMicroelectronics S.r.l.**
Residenza **AGRATE BRIANZA MI** codice **00951900968**
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome **POSTIGLIONE FERRUCCIO ED ALTRI** cod. fiscale _____
denominazione studio di appartenenza **JACOBACCI & PARTNERS S.p.A.**
via **SENATO** n. **8** città **MILANO** cap **20121** (prov) **MI**

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____

SISTEMA DI MEMORIA COMPRENDENTE UNA MEMORIA A SEMICONDUETTORE

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) **MICHELONI RINO** 3) _____
2) **RAVASIO ROBERTO** 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

SCIOGLIMENTO RISERVE

Data N° Protocollo

1) _____ 2) _____ 3) _____ 4) _____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) **2** **PROV** n. pag. **42**

Doc. 2) **2** **PROV** n. tav. **06**

Doc. 3) **1** **RIS**

Doc. 4) **0** **RIS**

Doc. 5) **1** **RIS**

Doc. 6) **1** **RIS**

Doc. 7) **1**

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

disegno (obbligatorio se citato in descrizione, 1 esemplare)

DICHIARAZIONE SOST. DI CERTIFICAZIONE

lettera d'incarico, procura o riferimento procura generale

designazione inventore

documenti di priorità con traduzione in italiano

autorizzazione o atto di cessione

nominativo completo del richiedente

8) attestati di versamento, totale Euro

DUECENTONOVANTUNO/80

obbligatorio

COMPILATO IL **12/12/2002**

FIRMA DEL(I) RICHIEDENTE(I)

FERRUCCIO POSTIGLIONE

CONTINUA SI/NO **NO**

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SI

C.C.I.A.A.

CAMERA DI COMMERCIO IND. ART. E AGR. DI **MILANO**

MILANO

codice **155**

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2002A 002629

Reg. A.

L'anno

DUEMILADUE

DODICI

DICEMBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata da

99 fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

[Signature]



L'UFFICIALE ROGANTE

M. CORTONESI

MI2002A 002629

REG. A

DATA DI DEPOSITO

12 12 233-

NUMERO BREVETTO _____

DATA DI RILASCIO

1 1 / L 1 / L

SISTEMA DI MEMORIA COMPRENDENTE UNA MEMORIA A SEMICONDUTTORE



Sistema di memoria (2) comprendente una memoria a semiconduttore (3) per immagazzinare dati digitali, detta memoria essendo collegabile ad un dispositivo di controllo (9) per ricevere un segnale d'indirizzo e rendere disponibile in uscita un dato selezionato mediante il segnale d'indirizzo. Il sistema è caratterizzato dal fatto di comprendere un circuito di generazione (4) per attivare un segnale d'attesa (WAIT) da inviare al dispositivo di controllo (9) durante operazioni di lettura in modo da indicare la non disponibilità del dato da leggere. Il circuito di generazione (4) è tale da disattivare il segnale d'attesa, in modo da indicare la disponibilità del dato da leggere, dopo un intervallo di tempo d'attesa correlato ad un tempo di accesso effettivo di detta memoria.

M. DISEGNO

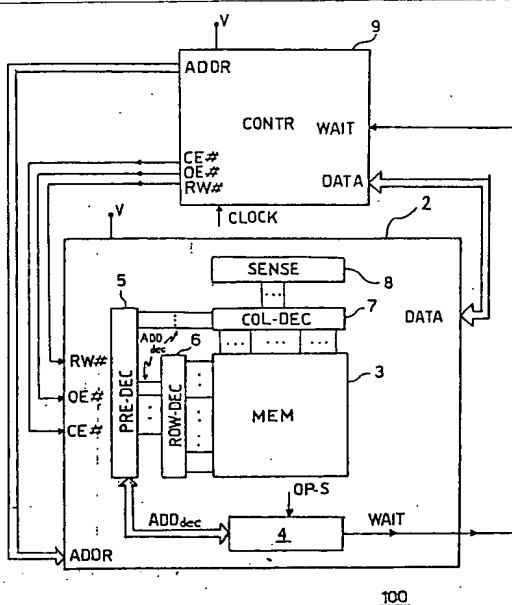
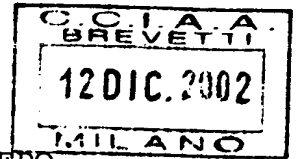


FIG. 2

MI 2002A 0 02629



TITOLARE: STMicroelectronics S.R.L.

I0098108/FPO

Descrizione

La presente invenzione si riferisce al settore delle memorie a semiconduttore e, particolarmente, alle memorie non volatili. Ancora più in particolare, la presente invenzione riguarda metodologie di accesso alle memorie.

Le memoria non volatili, quale ad esempio, le memorie Flash, sono associate ad opportuni dispositivi di controllo che gestiscono le diverse possibili operazioni da effettuare sulla memoria stessa quali, la scrittura, la cancellazione o la lettura. Possibili esempi di tali dispositivi di controllo sono: microprocessori, microcontrollori e DSPs (Digital Signal Processors).

Con particolare riguardo alle operazioni di lettura, risulta spesso di fondamentale importanza la velocità di trasferimento dei dati fra la memoria nella quale questi sono immagazzinati e il dispositivo di controllo della stessa. La velocità di trasferimento, legata al tempo di accesso alla memoria, è un parametro che assume una rilevanza sempre maggiore all'aumentare delle dimensioni della memoria.

La tecnica nota ha proposto diverse metodologie

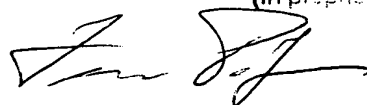
Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

che cercano di aumentare la velocità di trasferimento rispetto a quella che si verifica nel caso di un accesso casuale.

Una di queste metodologie è la tecnica del Page Mode che, come noto, prevede un accesso asincrono, ossia non direttamente legato al segnale di temporizzazione del sistema di memoria. Secondo questa tecnica, l'accesso alla memoria per la lettura di una word provoca la lettura di un prefissato numero di word che costituiscono una pagina della memoria. La prima word letta è resa disponibile dopo un primo intervallo di tempo prefissato (ad esempio, pari a 120 ns), mentre la lettura di un'altra word appartenente alla medesima pagina viene completata dopo un secondo intervallo di tempo inferiore al primo, ad esempio, pari a 25 ns. Infatti, questa seconda lettura è una selezione all'interno della stessa pagina alla quale si è già avuto accesso. Se la successiva word da leggere non appartiene alla stessa pagina si accederà, dopo il primo intervallo di tempo, ad una nuova pagina.

Un'altra tecnica di accesso è quella denominata Burst Mode che, al contrario della precedente, è di tipo sincrono ossia le temporizzazioni dei segnali d'ingresso e uscita sono relative ad un segnale di

Ing. Ferruccio POSTIGLIONE
N. Isc. 0940 B
(in proprio e per gli altri)



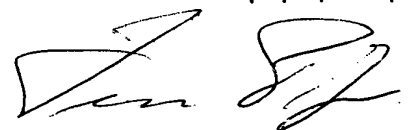
clock generato dal sistema e fornito alla memoria. Tale tecnica prevede che l'accesso avvenga mediante un trasferimento di una sequenza di word. Per accedere alla prima word è necessario attendere M
5 cicli di latenza per consentire alla memoria di eseguire la lettura di N word. I successivi dati si presentano in uscita, successivamente alla prima word, cadenzati con il segnale di clock.

Sia la tecnica Page Mode, sia la tecnica Burst
10 Mode presentano uno svantaggio legato alla rigidità delle modalità di accesso. Tale rigidità, più rilevante per la seconda tecnica, comporta la necessità di utilizzare dispositivi di controllo della memoria che si basano sulle specifiche
15 caratteristiche di ciascuna di queste modalità e che in alcuni casi devono prevedere la gestione di segnali aggiuntivi, altrimenti non strettamente necessari.

Inoltre, le note modalità di accesso non
20 consentono di sfruttare appieno le possibilità offerte dalle memorie oggi disponibili.

Scopo della presente invenzione è quello di proporre un sistema di memoria che consenta velocità di trasmissione dati a dispositivi di controllo
25 superiori a quelle della tecnica nota sopra

Ing. Ferruccio POSTIGLIONI
N. Iscr. ALBO 940 B
(in proprio e per gli altri)





accennata.

Lo scopo della presente invenzione è raggiunto con un sistema di memoria come definito dalle annesse rivendicazioni. Forma oggetto della presente
5 invenzione anche un sistema digitale includente un sistema di memoria e un dispositivo di controllo come definito dalla rivendicazione 18.

Ulteriori caratteristiche ed i vantaggi della presente invenzione risulteranno dalla descrizione di
10 seguito riportata di forme di realizzazione preferite, date a titolo indicativo e non limitativo, con riferimento alle figure allegate, in cui:

- la figura 1 mostra schematicamente una architettura di una memoria non volatile
15 impiegabile per la presente invenzione;

- la figura 2 mostra schematicamente un esempio particolare di un sistema digitale in accordo con la presente invenzione;

- la figura 3 mostra schematicamente una forma
20 di realizzazione preferita di un circuito di generazione di un segnale d'attesa impiegabile in detto sistema digitale,

- la figura 4 mostra esempi di segnali impiegabili in detto sistema digitale durante cicli di lettura,

25 - la figura 5 mostra una forma di realizzazione

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

preferita di una rete di ritardo inclusa in detto circuito di generazione del segnale d'attesa,

la figura 6 mostra andamenti esemplificativi di segnali di detto sistema digitale.

5 La figura 1 mostra schematicamente una architettura di una memoria non volatile 1 in cui le celle o locazioni di memoria sono organizzate secondo domini gerarchici opportuni. Ad esempio, la memoria 1 è una memoria flash di grosse dimensioni cioè avente, per esempio, capacità pari a 256 Mbit. La memoria 1, 10 collegata ad opportuni blocchi circuitali d'ingresso I ed uscita O, è organizzata in domini gerarchici quali settori, righe, colonne, pagine e parole di memoria. Ciascuno di tali domini gerarchici include una pluralità di sottomatrici, ossia, rispettivamente, 15 una pluralità di settori, di righe, di colonne, di pagine e di parole di memoria.

In particolare, ad un primo livello di suddivisione la memoria 1 comprende settori S_{jk} 20 individuati dagli indici J,K includenti righe e colonne. Un altro dominio gerarchico è quello delle righe (in figura, da 0 a Z), incluse in ciascun settore. La riga di indice Z contiene un numero N di pagine P_0-P_N ciascuna includente M parole di memoria 25 o memory word, M-W composte da un prestabilito numero

Ing. Ferruccio POSTIGLIONI
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



di bit immagazzinati in celle di memoria.

La suddivisione gerarchica sopra descritta, di per sé convenzionale, risulta conveniente per la cancellazione selettiva di settori della memoria 1.

5 Come noto, in fase di lettura della memoria 1 segnali d'indirizzo sono decodificati da opportuni decodificatori di riga e di colonna, in modo da fornire segnali elettrici alle celle di memoria selezionate che consentano la lettura del valore
10 immagazzinato.

Si ricorda che per tempo di accesso t_{acc} di una memoria si intende l'intervallo di tempo che intercorre tra un cambio d'indirizzo e l'istante in cui la memoria è in grado di rendere disponibile il
15 dato richiesto.

In fase di lettura di una memoria convenzionale avente al struttura della memoria 1, il tempo di accesso t_{acc} ad una singola locazione di memoria può essere soggetto a diversi contributi di
20 indeterminazione, tra i quali, si ricordano un'indeterminazione topologica, un'indeterminazione parametrica e un'indeterminazione funzionale.

Idealmente, il tempo d'accesso t_{acc} alla memoria è costituito dalla sommatoria del ritardo necessario
25 per attraversare i blocchi d'ingresso uscita $t_{acc-fixed}$

Ing. Ferruccio POSTIGLION
N. Iscr. ALBO 940 B
(in proprio e per gli altr



e dei ritardi $t_{\text{acc}_{\text{dominio}}}(A_n)$ per discendere nei domini che compongono la memoria 1. Tale tempo di accesso è esprimibile mediante la seguente formula:

$$t_{\text{acc}}(A_n/A_{n-1}, A_{n-2} \dots) = t_{\text{acc-fixed}} + \sum_{\text{dominio}} t_{\text{acc}_{\text{dominio}}}(A_n/A_{n-1}, A_{n-2} \dots) \quad (1)$$

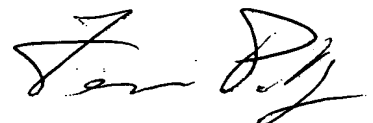
5 in cui A_n rappresenta l'indirizzo della locazione di memoria cui si accede in un n-esimo ciclo di lettura, e A_{n-1} , A_{n-2} ... rappresentano gli indirizzi delle celle selezionate in operazione di lettura precedenti quella n-esima. Il tempo di accesso
10 espresso dalla formula (1) è, in generale, dipendente dalla posizione all'interno della matrice di memoria della parola WM desiderata ed è anche dipendente dalla posizione delle word WL selezionate nelle fasi di lettura precedenti.

15 Per semplicità di trattazione, è possibile considerare il caso particolare in cui il tempo di accesso t_{acc} è dipendente solo dall'ultima operazione eseguita. In questa situazione la formula (1) si semplifica come

$$20 \quad t_{\text{acc}}(A_n/A_{n-1}) = t_{\text{acc-fixed}} + \sum_{\text{dominio}} t_{\text{acc}_{\text{dominio}}}(A_n/A_{n-1}) \quad (2)$$

Si osservi che il ritardo introdotto da ogni dominio assume un differente valore a seconda che le due locazioni A_n e A_{n-1} appartengano o meno allo stesso dominio, ad esempio, allo stesso settore J, K o
25 alla stessa riga.

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)





L'indeterminazione topologica è legata al fatto che il tempo di accesso t_{acc} complessivo risulta fortemente condizionato dalla topologia della memoria ma, solitamente, solo una parte di questa topologia è
5 nota e resa disponibile all'utente.

Con riguardo alla indeterminazione parametrica, si noti che il tempo di accesso di tutti i domini e anche dei blocchi di ingresso I e uscita U possono dipendere da numerosi parametri (temperatura,
10 tensione di alimentazione, parametri di processo ecc.) che ne possono influenzare notevolmente il tempo di accesso. Si osservi, anche, che secondo metodologie convenzionali, quali quelle sopra accennate, di Page Mode e Burst Mode, allo scopo di
15 non tener conto di tali variabilità parametriche l'utente fa riferimento per, la gestione delle operazioni di lettura, alle condizioni più sfavorevoli.

L'indeterminazione funzionale si riferisce a
20 contributi all'indeterminazione del tempo di accesso derivanti da eventuali accorgimenti che in modo predittivo predispongono la memoria per un rapido accesso, meccanismi che interrompono o alternano il normale flusso di funzionamento della memoria quali
25 operazioni di refresh (riscrittura della memoria),

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

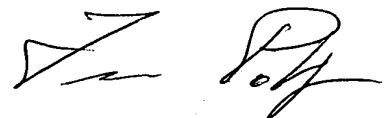
reset, rientro da power-down cioè, rientro da uno stato di basso consumo, etc.

La figura 2 mostra schematicamente un esempio particolare di un sistema digitale 100 in accordo con la presente invenzione ed includente un sistema di memoria indicato complessivamente con 2 e un dispositivo controllore CONTR 9. Il sistema di memoria 2 a sua volta comprende una memoria MEM 3 e un circuito 4 di generazione di un segnale d'attesa WAIT.

La memoria 3 è, ad esempio, organizzata gerarchicamente in modo analogo a quanto descritto con riferimento alla memoria 1 della figura 1.

Inoltre, il sistema di memoria 2 comprende una pluralità di blocchi architetture quali, un blocco d'ingresso includente un pre-decodificatore PRE-DEC 5 collegato ad un decodificatore di riga ROW-DEC 6 e ad un decodificatore di colonna COL-DEC 7 che possono avere funzione e struttura di tipo convenzionale e che, quindi, non necessitano di una descrizione dettagliata. Il pre-decodificatore 5 è tale da ricevere su linee d'ingresso un segnale codificato d'indirizzo ADDR relativo ad una determinata cella di memoria e a fornire su una pluralità di linee d'uscita un corrispondente segnale d'indirizzo

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



decodificato ADD_{dec} .

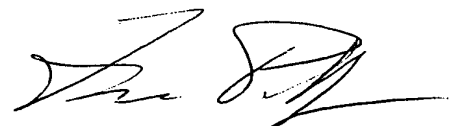
In accordo con l'organizzazione gerarchica della memoria 3, il segnale d'indirizzo decodificato ADD_{dec} reca un codice binario comprendente una pluralità di gruppi di codici di indirizzo ciascuno riferito ad un dominio gerarchico in cui è suddivisa la memoria 2.

Tale pluralità di gruppi di codici, ciascuno costituito da uno o più bit, comprende codici $ADDR(sec)$, $ADDR(row)$, $ADDR(col)$, $ADDR(page)$ (non mostrati in figura 2) di diversa posizione che identificano rispettivamente (procedendo dai bit più significativi verso quelli meno significativi) un settore, una riga, una colonna, una pagina e una word della memoria 3.

Come risulta chiaro al tecnico del ramo, il decodificatore di riga 6 e di colonna 7 collegati ad opportune linee d'uscita dal pre-decodificatore 5 presentano funzioni di traslazione di livello, ossia sono tali da fornire sulla base dell'indirizzo decodificato ADD_{dec} opportuni valori di tensione e corrente a bit-line e word-line della matrice di memoria che consentono la selezione della particolare word desiderata.

Il blocco d'uscita del sistema di memoria 2 comprende, anche, un circuito di lettura o di "sense"

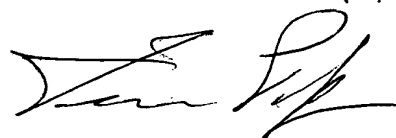
Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



SENSE 8, di per sé noto al tecnico del ramo e pertanto non descritto in dettaglio. Come noto, il sense 8 è un circuito (ad esempio includente un amplificatore ed un comparatore di tensione) che
5 permette di rendere disponibile in uscita alla memoria 3 il dato selezionato immagazzinato nella specifica word.

Il circuito di generazione 4 consente di attivare un segnale d'attesa WAIT da inviare al
10 dispositivo di controllo 9, durante le operazioni di lettura, in modo da indicare la non disponibilità del dato da leggere. Inoltre, il circuito di generazione 4 consente di disattivare il segnale d'attesa WAIT, dopo un opportuno intervallo di tempo di attesa t_w ,
15 in modo da indicare al dispositivo di controllo 9 la disponibilità del dato da leggere. L'intervallo di tempo di attesa t_w , durante il quale il circuito di generazione 4 mantiene attivato il segnale d'attesa WAIT, è correlato al un tempo di accesso t_{acc}
20 effettivo della memoria 3. Vantaggiosamente, tale intervallo di tempo ha una durata variabile in funzione del segnale d'indirizzo ADD_{dec} e di almeno un parametro operativo del sistema di memoria 2. In altre parole, l'intervallo di tempo di attesa t_w ,
25 durante il quale rimane attivato il segnale d'attesa

Ing. Ferruccio POSTIGLIO
N. Iscr ALBO 940 B
(in proprio e per gli alt





WAIT, può non essere sempre lo stesso in tutte le operazioni di lettura ma può variare da una operazione di lettura ad un'altra, al variare sia del segnale d'indirizzo ADD_{dec} associato ad una operazione
5 di lettura attuale rispetto ad una operazione precedente, e sia al variare delle condizioni operative del sistema di memoria 2.

Secondo una forma di realizzazione preferita dell'invenzione tale intervallo di tempo d'attesa t_w
10 è funzione della temperatura T alla quale effettivamente opera il sistema di memoria 2.

Inoltre, l'intervallo di tempo d'attesa può essere vantaggiosamente dipendente anche, o alternativamente, dalla tensione di alimentazione V
15 del sistema di memoria.

Il dispositivo di controllo CONTR 9 è, ad esempio, un convenzionale microprocessore, microcontrollore o un processore per segnali digitali DSP (Digital Signal Processor) destinato a ricevere,
20 fra altri segnali, il segnale di WAIT e a fornire dati e segnali di controllo e gestione del sistema di memoria (ad esempio, i segnali indirizzi ADDR, dati DATA, abilitazione del chip $CEO\#$, lettura R , scrittura $W\#$) 2. Il dispositivo di controllo 9 è tale
25 da impiegare il segnale d'attesa WAIT per gestire la

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

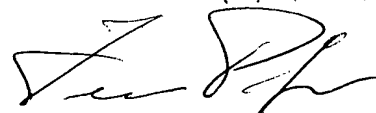
lettura della memoria 3, che avviene in modo asincrono, rispetto ai segnali di temporizzazione associati al sistema 100.

Con riferimento ad un ciclo di lettura di un dato
5 della memoria 3 da parte del dispositivo di controllo
9, il segnale d'attesa WAIT può assumere due livelli logici (ad esempio, alto cioè attivo, e basso cioè disattivo) che indicano, rispettivamente, che la memoria 3 non ha ancora reso disponibile per il
10 dispositivo di controllo 9 il dato da leggere, e che, invece, il dato stesso è stato reso disponibile dalla memoria.

Il dispositivo controllore 9 è tale da riconoscere in base al livello logico del segnale d'attesa WAIT
15 se il dato è stato reso o meno disponibile dalla memoria 3. Nel caso in cui il dato non è disponibile, il dispositivo controllore 9 rimane in attesa, cioè non procede alla lettura della memoria 3, fino a quando il segnale di attesa WAIT è disattivato o, in
20 altre parole, fino a quando si inverte il livello logico del segnale di attesa stesso. Quando il segnale di attesa WAIT indica la disponibilità del dato, il dispositivo controllore 9 è tale da portare a compimento l'operazione di lettura.

25 La figura 3 mostra schematicamente una forma di

Ing. Ferruccio POSTIGLIONE
N. Iscr ALBO 940 B
(in proprio e per gli altri)



realizzazione preferita del circuito di generazione 4 del segnale d'attesa WAIT in accordo con la presente invenzione.

Il circuito di generazione 4 comprende mezzi di
5 rivelazione di transizioni d'indirizzo tali da ricevere in ingresso almeno parte del segnale d'indirizzo decodificato ADD_{dec} e generare un segnale ATD-S rappresentativo di una sua modifica.

In particolare, tali mezzi di rivelazione
10 includono almeno un circuito di rilevazione della transizione d'indirizzo o circuito ATD (Address Transition Detection) realizzabile con tecniche convenzionali note all'esperto del ramo, e destinato a ricevere uno specifico gruppo di bit del segnale
15 d'indirizzo decodificato ADD_{dec} disponibile su un relativo bus.

In maggior dettaglio, secondo l'esempio, i mezzi di rivelazione di transizione includono tre circuiti di rivelazione della transizione d'indirizzo ATD1,
20 ATD2, ATD3, ciascuno destinato a ricevere in ingresso, rispettivamente, il gruppo di bit di indirizzo di settore $ADDR(sec)$, di riga $ADDR(row)$ e di colonna $ADDR(col)$, opportunamente estratti dal bus che reca l'indirizzo ADD_{dec} .

25 I circuiti di rilevazione della transizione

Ing. Ferruccio POSTIGLION
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



d'indirizzo ATD1, ATD2, ATD3 consentono di generare su una corrispondente linea d'uscita ATD_SEC, ATD_ROW, ATD_COL un rispettivo segnale impulsivo al verificarsi della rivelazione di una modifica
5 dell'indirizzo ADD_{dec} che comporti il cambio di settore, di riga o di colonna.

Le linee d'uscita ATD_SEC, ATD_ROW, ATD_COL dei tre circuiti ATD sono collegate all'ingresso di una porta logica OR la cui uscita, sulla quale è
10 disponibile il segnale di rivelazione ATD-S, è collegata all'ingresso di set S di un primo flip-flop FF1 di tipo RS, ad esempio, realizzabile con porte NOR.

Nella porta OR sono combinati i segnali impulsivi uscenti da ciascun circuito di rivelazione ATD_SEC, ATD_ROW, ATD_COL, in modo da ottenere il segnale di rivelazione ATD-S che inviato al primo flip-flop FF1 consentirà di attivare il segnale di attesa WAIT.

Possibili esempi di circuiti ATD di tipo
20 impiegabile per la realizzazione dei circuiti di rivelazione di transizione d'indirizzo ATD1, ATD2, ATD3 sono descritti nelle domande di brevetto US 6169423 e US 6237104.

Inoltre, il circuito di generazione 4 comprende
25 mezzi circuitali di segnalazione di fine attesa

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)





aventi il ruolo di generare un segnale di fine attesa
ENDREAD che comanda la disattivazione del segnale di
attesa WAIT dopo che è trascorso detto intervallo di
tempo di attesa t_w .

5 Più in dettaglio, il circuito di generazione 4 è
provvisto di tre reti di ritardo ENDREADSEC 10,
ENDREADROW 11, ENDREADCOL 12 ciascuna tale da
ricevere in ingresso l'impulso di rivelazione
ATD_SEC, ATD_ROW e ATD_COL uscente, rispettivamente,
10 dai circuiti di rilevazione d'indirizzo ATD1, ATD2,
ATD3.

Le reti di ritardo 10, 11, 12 sono associate ad un
rispettivo dominio gerarchico della memoria 3.
Inoltre, tali reti di ritardo 10, 11, 12 consentono
15 di fornire su corrispondenti linee d'uscita un
rispettivo segnale ritardato (ad esempio, una replica
ritardata del segnale d'ingresso) ENDREAD_SEC,
ENDREAD_ROW e ENDREAD_COL.

Le linee d'uscita delle reti di ritardo 10, 11 e
20 12 sono collegate all'ingresso di una porta logica
AND la cui uscita è collegata, a sua volta,
all'ingresso di reset R del primo flip-flop FF1.

Nella porta AND sono combinati i segnali impulsivi
uscenti dalle reti di ritardo 10, 11, 12, in modo da
25 ottenere il segnale di fine attesa ENDREAD che,

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

inviato al primo flip-flop FF1, consente di disattivare il segnale di attesa WAIT.

Ciascuna rete di ritardo 10, 11, 12 è tale da introdurre un ritardo temporale T10, T11, T12 nel
5 rispettivo segnale d'ingresso (cioè di uno dei segnali di rivelazione della transizione, ATD_SEC, ATD_ROW, ATD_COL) che riproduce sostanzialmente il tempo d'accesso effettivo tacc alla memoria 3 che si verifica nel caso di una modifica dell'indirizzo
10 all'interno di quello specifico dominio gerarchico.

In particolare, la rete di ritardo 10 è tale da introdurre un ritardo sostanzialmente pari al tempo di accesso relativo al sistema di memoria 2 e valutato nel caso di un cambio d'indirizzo che
15 comporti un cambio di settore. Ad esempio, il cambio d'indirizzo comporta il passaggio dal settore 0,0 di figura 1, al settore 3,k.

Analogamente, la rete di ritardo ENDREADROW 11 (ENDREADCOL 12) è tale da introdurre un ritardo
20 sostanzialmente pari al tempo di accesso nel caso di un cambio d'indirizzo che comporti un cambio di riga (colonna). I segnali ritardati ENDREAD_SEC, ENDREAD_ROW e ENDREAD_COL, quando attivati, indicano rispettivamente che, nel caso di un'operazione di
25 lettura che comporti il cambio d'indirizzo

Ing. Ferruccio POSTIGLIO!
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



all'interno del dominio gerarchico (ad esempio, cambio tra colonne) a cui sono associate le relative reti di ritardo, l'accesso alla memoria è terminato e il dato è reso di disponibile.

5 Vantaggiosamente, i suddetti mezzi circuitali di segnalazione di fine attesa comprendono almeno un blocco circuitale fittizio o blocco dummy realizzato in modo tale da influenzare la durata dell'intervallo di tempo di attesa t_w di una quantità variabile in
10 funzione di un parametro operativo del sistema (ad esempio, la temperatura e/o la tensione di alimentazione) e secondo un comportamento che riproduce quello associato ad almeno un blocco architetutturale del sistema di memoria 2 stesso.

15 Prima di descrivere una particolare realizzazione di una delle reti di ritardo, è descritto qui di seguito un esempio di funzionamento del sistema digitale 100.

Si faccia riferimento alla figura 4, nella quale
20 sono rappresentati alcuni cicli di lettura della memoria 3.

In particolare, la figura 4 mostra andamenti esemplificativi di un segnale impulsivo di temporizzazione o di clock (segnale CLOCK, generato
25 da un dispositivo opportuno) inviato al dispositivo

Ing. Ferruccio POSTIGLIO
N. Iscr. ALBO 940 B
(in proprio e per gli alt



di controllo 9 ma non al sistema di memoria 2; il segnale d'indirizzo ADDR; convenzionali segnali di abilitazione del chip CE# (Chip Enable) e di abilitazione delle uscite OE# (Output Enable); il
5 detto segnale di attesa WAIT e il segnale DATA rappresentante i dati in uscita.

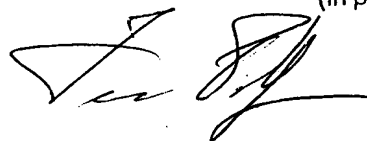
I segnali CE# ed OE# possono essere ricevuti dal sistema di memoria 2 in quanto inviati dal controllore 9.

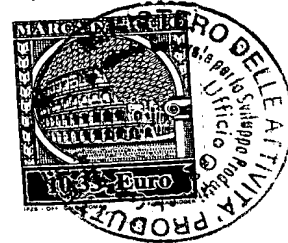
10 Secondo l'esempio della figura 4, nel primo ciclo di lettura del sistema di memoria 3 si è ipotizzata la situazione in cui si è verificato un cambio d'indirizzo, da quello precedente a quello attuale A(0), che comporta un cambio di riga, di settore e di
15 colonna all'interno della matrice di memoria.

Inoltre, si supponga che, a meno del segnale di WAIT, il dispositivo di controllo 9 sia stato impostato in modo da considerare un tempo di accesso preimpostato pari a due colpi di clock e, ad esempio,
20 pari complessivamente a 20 ns. Secondo un esempio particolare, tale tempo di accesso preimpostato di 20 ns può corrispondere a due cicli del clock che temporizza il dispositivo di controllo 9, a 100 MHz.

Con il fronte di discesa C1 del segnale di clock
25 CLOCK, il dispositivo di controllo 9 inizia un ciclo

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)





di lettura modificando l'indirizzo ADDR, fornendo un indirizzo A(0) al sistema di memoria 2, e attivando i segnali di attivazione del chip CE# e di abilitazione delle uscite OE# (ad esempio, entrambi attivi bassi).

5 Il cambio d'indirizzo ADDR che ha portato all'indirizzo A(0) è rilevato dal circuito di generazione 4 del sistema di memoria 2, il quale porta nello stato attivo il segnale di attesa WAIT.

In particolare, essendo avvenuto un cambio di settore, riga e colonna, cioè un cambio dei corrispondenti gruppi di bit ADDR(sec), ADDR(row) e ADDR(col), i circuiti di generazione delle transizioni d'indirizzo ATD1, ATD2, ATD3 generano ciascuno un impulso sulle rispettive linee uscite,
10 ATD_SEC, ATD_ROW, ATD_COL.
15

Ciò fa sì che in uscita alla porta OR di figura 3 si generi un segnale impulsivo ATD_S (nell'esempio, di livello logico alto) che comanda l'ingresso set S del primo flip-flop FF1, in modo da attivare il segnale di attesa WAIT portandolo ad un livello logico alto (R=0, S=1; Q=1).
20

Quindi, il dispositivo di controllo 9, su un fronte di discesa C₃ del segnale di clock CLOCK, campiona, cioè rileva, il segnale di WAIT attivo e
25 quindi dilaziona, ossia ritarda, il completamento

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

della lettura del dato. Fino a quando il segnale di attesa WAIT è attivato, il dispositivo di controllo 9 non considera valido il dato presente sul bus dati DATA.

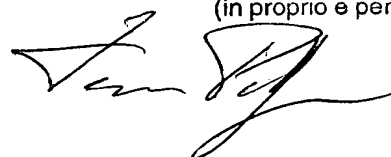
5 L'impulso presente su ciascuna delle linee d'uscita ATD_SEC, ATD_ROW, ATD_COL dei circuiti di generazione delle transizioni d'indirizzo ATD1, ATD2, ATD3 è inviato, rispettivamente, anche alle reti a ritardo variabile 10, 11 e 12 mostrate nella figura
10 3.

Secondo il caso particolare descritto, i segnali presenti sulle uscite ENDREAD_SEC, ENDREAD_ROW e ENDREAD_COL delle tre reti temporali 10, 11 e 12 rimarranno ad un livello logico basso per tutta la
15 durata dello specifico ritardo temporale introdotto da ciascuna di tali reti.

I segnali presenti sulle uscite ENDREAD_ROW e ENREAD-COL, corrispondenti alle reti di ritardo variabile relative al cambio di riga e colonna, sono
20 i primi a portarsi ad un livello logico alto. Successivamente, anche il segnale presente sulla uscita ENDREAD_SEC si porta al livello logico alto.

In tale condizione, in uscita alla porta AND di figura 3 si genera un segnale impulsivo di fine
25 attesa ENDREAD che pilota l'ingresso di reset R del

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



primo flip-flop FF1, disattivando il segnale di attesa WAIT ($S=0$ e $R=1$; $Q=0$).

Completivamente, secondo l'esempio di figura 4, il segnale di WAIT è stato mantenuto attivo dal sistema di memoria 2 per undici colpi di clock, ossia durante il tempo necessario per la memoria 3 a rendere disponibile il dato da leggere per lo specifico cambio d'indirizzo sopra indicato. In particolare si noti che i ritardi (T_{10} , T_{11} , T_{12}) introdotti da ciascuna delle reti di ritardo è funzione della temperatura alla quale si trova il sistema di memoria e/o della tensione di alimentazione della stessa.

Sempre con riferimento all'esempio di figura 4, dopo tali 11 colpi di clock il segnale di attesa WAIT è disattivato. Il dispositivo di controllo 9, sul fronte di discesa dell'impulso C_{12} rileva il segnale di attesa WAIT in uno stato disattivato e quindi considera valido il dato $D(0)$ reso disponibile dal sistema di memoria 2 o, in altre parole, conclude la lettura del dato. A conclusione della lettura, il dispositivo di controllo 9 disattiva i segnali di abilitazione del chip e della uscite $CE\#$ e $OE\#$.

In un secondo esemplificativo ciclo di lettura, l'indirizzo ADD cambia da $A(0)$ ad $A(1)$, comportando

Ing. Ferruccio POSTIGLIONE

N. Iscr. ALBO 940 B

(in proprio e per gli altri)



soltanto un cambio della parola o word da leggere all'interno della medesima pagina.

Il circuito di generazione 4 del segnale di attesa WAIT, opera con modalità analoghe a quelle illustrate
5 per l'indirizzo A(1) ed evidenti per il tecnico del ramo dalla precedente descrizione.

In questo caso, il segnale di WAIT rimane attivato per un intervallo di tempo inferiore al caso precedente, e in modo che al secondo colpo di clock
10 che segue il cambio d'indirizzo, il dispositivo controllore 9 possa concludere la lettura del dato da leggere, indicato con D(1).

In un terzo esempio di ciclo di lettura, l'indirizzo ADD cambia da A(1) ad A(6), e si suppone
15 che tale modifica comporti solo un cambio di colonna mentre il settore e la riga siano rimasti invariati.

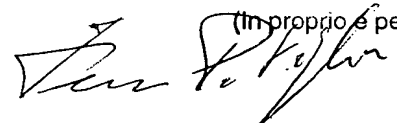
In questo caso, il segnale di WAIT rimane attivato in modo da ritardare la lettura del dato da leggere, D(2), di tre colpi di clock.

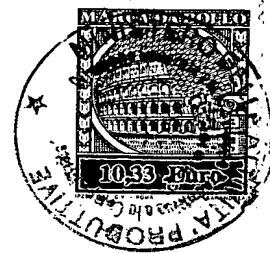
20 Nell'ultimo esempio, si è mostrato ancora un cambio d'indirizzo da A(6) ad A(7), che comporta il solo cambio di word all'interno della medesima pagina.

Nuovamente, il dato da leggere, D(3), è reso
25 disponibile solo dopo due colpi di clock

Ing. Ferruccio POSTIGLIONI
N. Iscr. ALBO 940 B

(In proprio e per gli altri)





dall'avvenuto cambio d'indirizzo.

In figura 5 è mostrata una forma di realizzazione preferita della rete di ritardo 11 inclusa nel circuito di generazione 4 del segnale d'attesa WAIT, 5 mostrato in figura 4, e relativa alla generazione del segnale ENDREAD_ROW corrispondente al cambio d'indirizzo includente il cambio di riga. Questa rete 11 è tale da introdurre nel segnale che l'attraversa il ritardo temporale T11.

10 La rete 11 di figura 5 comprende un gruppo di blocchi circuitali fittizi o blocchi dummy opportunamente collegati fra loro e ciascuno associato ad un rispettivo blocco architetturale del sistema di memoria 2 o ad un blocco strutturale della 15 memoria 3. Ad esempio i blocchi architetturali ai quali sono associati alcuni dei blocchi fittizi possono essere il pre-decodificatore 5, il decodificatore di riga 6, il decodificatore di colonna 7 e il circuito di sense 8. Inoltre, i 20 blocchi strutturali della memoria 3 ai quali sono associati alcuni dei blocchi circuitali fittizi sono le righe, le colonne o le celle della matrice stessa.

Ciascun blocco fittizio introduce un corrispondente ritardo temporale sostanzialmente 25 riproducente quello introdotto dal blocco

Ing. Ferruccio POSTIGLIONE
N. Iscr ALBO 940 B
(in proprio e per gli altri)

architetturale o strutturale al quale è associato sui
segnali che lo percorrono (quali ad esempio, segnali
d'indirizzo, segnali di tensione, di corrente) per
selezionare un dato immagazzinato nella memoria 3,
5 durante un'operazione di lettura.

Vantaggiosamente, ciascun blocco circuitale
fittizio è tale per cui il rispettivo ritardo
temporale risulta variabile in funzione del parametro
operativo del sistema di memoria 2 e secondo un
10 comportamento sostanzialmente riprodotto quello del
corrispondente blocco architetturale o strutturale.

In maggior dettaglio, la rete a ritardo variabile
11 comprende un blocco di ritardo di precodifica Pre-
Dec-D 13 che riproduce il ritardo temporale
15 introdotto dal pre-decodificatore 5 durante
l'operazione di lettura. Il blocco di ritardo di
precodifica 13 è destinato a ricevere in ingresso il
segnale di transizione ATD-ROW che segnala il cambio
di riga.

20 Inoltre, la rete a ritardo variabile 11 include un
blocco di ritardo di decodifica di riga Row-Dec-D,
14, collegato in serie al blocco di ritardo di
precodifica 13 che riproduce il ritardo temporale
introdotto, durante l'operazione di lettura, dal
25 decodificatore di riga 6.

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



Nella rete a ritardo variabile 11 sono anche inclusi un blocco di ritardo di riga Row-D 15 e un blocco di ritardo di celle Cells-D 16, collegati in serie tra loro e ai blocchi precedenti 13 e 14. I
5 blocchi di ritardo di riga Row-D e di celle Cells-D riproducono, rispettivamente, il ritardo temporale dovuto alla propagazione del segnale applicato alla memoria 3 all'interno della riga selezionata, e il ritardo introdotto dalle celle selezionate per la
10 lettura.

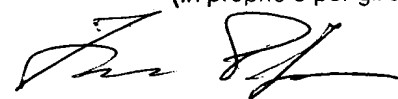
In serie al blocco di ritardo di celle 16 è collegato un blocco di ritardo di sense Sense-D 17, rappresentativo del ritardo introdotto nella lettura di un dato da parte del circuito di sense 8.

15 Tali blocchi di ritardo 13-17 sono dimensionati opportunamente in fase di produzione, in modo da introdurre i ritardi desiderati.

Vantaggiosamente, ciascun blocco di ritardo 13-17 è realizzato mediante uno o più componenti
20 elettronici facenti parte del blocco strutturale o architetturale di cui rappresenta il ritardo, opportunamente collegati in modo da definire un ritardo complessivo.

Ad esempio, il blocco di ritardo di riga Row-D 15
25 è realizzato mediante una particolare riga della

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)




stessa memoria 3 appositamente esclusa dal compito di immagazzinare dati e che, preferibilmente, è posta all'interno della memoria stessa in una posizione tale da presentare le peggiori condizioni in
5 relazione al tempo d'accesso (ritardo maggiore). Inoltre, si ricordi che il decodificatore di riga 6 ha funzione di traslazione di livello e, tipicamente, include una pluralità di blocchi elementari di traslazione. Uno di tali blocchi elementari
10 costituenti il decodificatore di riga 6 è, ad esempio, destinato a realizzare il blocco di ritardo di decodifica di riga Row-Dec-D, 14.

Analogamente, il predecodificatore di riga 5 include, tipicamente, una pluralità di porte logiche
15 destinate a selezionare una riga, e il corrispondente blocco di ritardo di precodifica 13 è realizzato mediante un circuito logico elementare, incluso nello stesso precodificatore di riga 5, e comprendente un opportuno numero di livelli logici con lo stesso
20 carico.

Il blocco di ritardo di cella 16 comprende una opportuna cella della memoria 3 non destinata alla memorizzazione. Il blocco di ritardo di sense 17 è, ad esempio, realizzato mediante un blocco elementare
25 del circuito di sense avente unicamente funzioni di

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)





ritardo temporale e non impiegato per una lettura.

Con questa scelta particolarmente vantaggiosa, il percorso di ritardo fittizio presenta per costruzione un ritardo e un comportamento sostanzialmente
5 identico a quello effettivo. Inoltre, i blocchi di ritardo 13-17 realizzati come sopra descritto possono essere regolati finemente (operazione di trimming) in seguito a misure e/o simulazioni per ottenere con maggior precisione un desiderato valore di ritardo.

10 La rete di ritardo 11 comprende un secondo flip-flop FF2 di tipo RS (ad esempio, realizzato con porte NAND) avente l'ingresso di set S destinato a ricevere il segnale di transizione di riga ATD_ROW e l'ingresso di reset R destinato a ricevere un segnale
15 A uscente dal blocco di ritardo di sense 17.

Un'uscita Q del secondo flip-flop FF2 reca il segnale di fine attesa per la riga ENDREAD_ROW.

Per un esempio di funzionamento della rete di ritardo 11, si faccia riferimento anche alla figura 6
20 nella quale sono mostrati alcuni andamenti esemplificativi dei segnali sopra definiti ATD_ROW, A, e ENDREAD_ROW.

All'attivazione del segnale ATD_ROW (ad esempio, questo assume il livello logico 1) l'ingresso di set
25 S del secondo flip-flop FF2 è pari ad 1, mentre

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

l'ingresso di reset R rimarrà pari a 0. In tale configurazione degli ingressi (S=1, R=0) l'uscita Q e, quindi, il segnale di fine attesa per la riga ENDREAD_ROW assume un livello logico basso, Q=0.

5 Dopo un intervallo di tempo necessario alla propagazione dell'impulso ATD_ROW attraverso i blocchi di ritardo 13-17, l'uscita A assumerà un livello logico alto, ad es. A=1. In tale configurazione degli ingressi (S=0 e R=1) l'uscita Q
10 assumerà il livello logico alto, e cioè ENDREAD_ROW=1.

Le altre reti di rivelazione della disponibilità del dato 10, 12 incluse nel circuito di generazione 4 sono analoghe a quella sopra descritta. In
15 particolare, la rete di ritardo 10 relativa al cambio d'indirizzo che prevede il cambio di settore è tale da introdurre un ritardo complessivamente maggiore della rete 11 mentre, la rete di ritardo 12 che si riferisce al cambio di indirizzo che prevede un
20 cambio di colonna avrà un ritardo minore delle due reti 10 e 11. Ad esempio, la rete di ritardo 12 includerà anche un blocco di ritardo del decodificatore di colonna e un blocco di ritardo di colonna (non mostrati). Questo blocco di ritardo del
25 decodificatore di colonna e il blocco di ritardo di

Ing. Ferruccio POSTIGLIONI
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



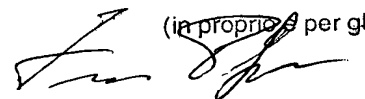
colonna riproducono, rispettivamente, il ritardo temporale introdotto, durante l'operazione di lettura, dal decodificatore di colonna 7 e il ritardo temporale dovuto alla propagazione del segnale applicato alla memoria 3 all'interno della colonna selezionata.

La presente invenzione può essere applicata impiegando dispositivi di controllo noti e disponibili in commercio e a memorie di tipo noto con l'aggiunta di un opportuno circuito di generazione del segnale di attesa WAIT.

Ad esempio, può essere impiegato un noto DSP (Digital Signal Processor) della Motorola della famiglia DSP56xxx, quale un DSP56302A.

Infatti, tale DSP, ben noto al tecnico del ramo dispone di un ingresso TA# (Transfer Acknowledge, attivo basso) che consente di aggiungere cicli di attesa alle operazioni di trasferimento. Secondo l'invenzione, una memoria Flash dotata del circuito di generazione del segnale di attesa WAIT (attivo alto) può essere collegata a questo DSP in modo da alimentare il segnale di attesa WAIT all'ingresso TA#. In tal caso, anche se il suddetto DSP della Motorola non è dotato di una modalità di gestione di tipo page mode, grazie alle funzionalità fornite dal

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio per gli altri)



segnale di attesa è possibile, comunque, effettuare un trasferimento di tipo page mode.

Inoltre, la presente invenzione è applicabile anche a DSP dotati di un ingresso per un segnale che
5 consente di aggiungere cicli di attesa al trasferimento ma che richiedono che questo abbia logica negata (attivo basso). In tal caso a tali dispositivi DSP potrà essere alimentato un segnale d'attesa WAIT negato, WAIT# (attivo basso). Ad
10 esempio, il DSP0 prodotto dalla Texas Instruments modello TMS320c60x è provvisto di un ingresso per un segnale ARDY (Asynchronous Ready) che potrà essere connesso ad una memoria Flash per ricevere il segnale di attesa negato WAIT#.

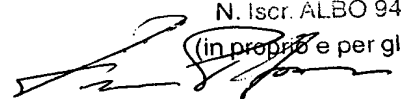
15 Per poter gestire entrambe le categorie dei dispositivi di controllo (quelli che impiegano il segnale WAIT attivo basso o quelli che utilizzano WAIT attivo alto), i sistemi di memoria potranno essere differenziati dotandoli di un opportuno
20 dispositivo logico (in particolare, un invertitore) che consentirà di negare il segnale di WAIT.

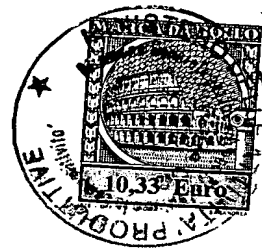
Vantaggiosamente, per non differenziare i sistemi di memoria, il sistema di memoria 2 può prevedere mezzi di campionamento (non mostrati) che in uscita
25 da uno stato di reset della memoria 3 campionano il

Ing. Ferruccio POSTIGLIONE

N. Iscr. ALBO 940 B

(in proprio e per gli altri)





segnale presente sulla linea del segnale d'attesa WAIT. Il valore campionato, sarà poi utilizzato nel seguito come livello non attivo del segnale di WAIT.

A questo scopo, la linea d'uscita del sistema di memoria 2 sui cui è presente il segnale d'attesa WAIT è collegata ad un terminale di un elemento resistivo (non mostrato) avente l'altro terminale collegato alla terra nel caso di WAIT attivo per un valore logico alto, o collegato alla tensione di alimentazione nel caso di WAIT attivo per un valore logico basso.

Il sistema digitale 100 in accordo con la presente invenzione risulta particolarmente vantaggioso in quanto consente di aumentare rispetto ai sistemi convenzionali la velocità di trasmissione dati dalla memoria ad un dispositivo di controllo. In particolare, la presenza del circuito di generazione 4 e del segnale di attesa WAIT consente al dispositivo controllore a cui il sistema di memoria è collegato di impiegare la massima velocità possibile consentita dalla generazione del segnale di attesa o WAIT.

Inoltre, il sistema di memoria in accordo con l'invenzione che tiene conto per la generazione del segnale d'attesa del segnale d'indirizzo precedente e

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

di quello attuale nonché dell'organizzazione gerarchica della memoria, permette di ridurre le conseguenze dell'indeterminazione topologica del tempo di accesso alla memoria.

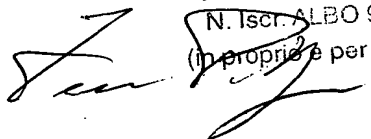
5 Grazie all'impiego di elementi fittizi o dummy, il sistema digitale 100 riduce anche le conseguenze dell'indeterminazione parametrica del tempo di accesso alla memoria.

Inoltre, gli insegnamenti della presente
10 invenzione sono vantaggiosi per la gestione delle fasi di rientro da reset o da power-down di un sistema di memoria, quale il sistema di memoria 2. In questo caso, la presente invenzione riduce le conseguenze della indeterminazione funzionale del
15 tempo di accesso sulla velocità di trasferimento dei dati.

Si consideri che per una memoria Flash, ad esempio, di tipo multilivello, l'intervallo di tempo T_D richiesto dalla memoria all'uscita da un reset o
20 power-down affinché siano ripristinate le tensioni prodotte da opportuni survoltori (non mostrati) può essere di 10 microsecondi.

Durante questo intervallo T_D iniziale il sistema di memoria 2 non è operativo e l'utente dovrebbe
25 astenersi dall'eseguire operazioni sul sistema

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



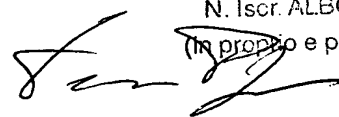
stesso.

Si osservi però che, in diversi casi un dispositivo di controllo convenzionale quale, ad esempio, un microprocessore, un microcontrollore, un DSP o un MMU (Memory Manager Unit) esegue l'accesso alla memoria esterna subito dopo essere stato liberato dal rispettivo stato di reset (boot da memoria esterna). In altre parole, il dispositivo di controllo convenzionale cerca di accedere al sistema di memoria prima che questo sia effettivamente operativo.

Secondo tecniche convenzionali, per gestire correttamente tale situazione è necessario disporre di un segnale di reset della memoria Flash anticipato rispetto a quello di reset del dispositivo di controllo del suddetto intervallo di tempo T_D necessario al rientro da reset del sistema di memoria. Tutto ciò comporta un costo aggiuntivo per il sistema. Un'analogia situazione risulta valida per il rientro da power-down.

Invece, grazie alla presente invenzione, il dispositivo di controllo e il sistema di memoria potranno essere contemporaneamente portati nello stato di reset. Sarà il circuito generatore 4, incluso nel sistema di memoria 2, utilizzando

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)




ulteriori segnali (indicati con OP-S in figura 2) resi disponibili dal sistema di memoria e relativi al raggiungimento di un particolare stato operativo, ad attivare e disattivare il segnale d'attesa WAIT in modo da prolungare l'attesa del dispositivo di controllo 9 del tempo necessario per il ripristino delle condizioni operative della memoria e per raggiungere la disponibilità del dato.

Ad esempio, tali ulteriori segnali OP-S sono normalmente generati da convenzionali circuiti presenti nel sistema di memoria, quali circuiti di power on, circuiti relativi allo stato delle pompe, o circuiti che segnalano il completamento dell'inizializzazione del sistema.

Si noti che la presente invenzione risulta particolarmente vantaggiosa per memorie Flash ad elevate dimensioni ma può essere convenientemente applicata a memorie di altro tipo quali, ad esempio, memorie EPROM, EEPROM, SRAM, DRAM.

20

Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)





Rivendicazioni

1. Sistema di memoria (2) comprendente una memoria a semiconduttore (3) per immagazzinare dati digitali, detta memoria essendo collegabile ad un dispositivo di controllo (9) per ricevere un segnale d'indirizzo e rendere disponibile in uscita un dato selezionato mediante il segnale d'indirizzo,

caratterizzato dal fatto di comprendere un circuito di generazione (4) per attivare un segnale d'attesa (WAIT) da inviare al dispositivo di controllo (9) durante operazioni di lettura in modo da indicare la non disponibilità del dato da leggere, e per disattivare il segnale d'attesa in modo da indicare la disponibilità del dato da leggere dopo un intervallo di tempo d'attesa correlato ad un tempo di accesso effettivo di detta memoria, tale intervallo d'attesa avendo una durata variabile in funzione del segnale d'indirizzo (Add_{dec}) e di almeno un parametro operativo di detto sistema di memoria (2).

2. Sistema secondo la rivendicazione 1, in cui il circuito di generazione (4) comprende mezzi di rilevazione di transizioni d'indirizzo (ATD1; ATD2; ATD3, OR) tali da ricevere in ingresso il segnale d'indirizzo e generare un segnale di rivelazione (ATD-S) rappresentativo di una sua modifica, il

Ing. Ferruccio POSTIGLION
N. Iscr. ALBO 940 B
(in proprio e per gli altri)

circuito di generazione (4) essendo tale da attivare il segnale d'attesa (WAIT) a partire dal segnale di rivelazione.

3. Sistema secondo la rivendicazione 2, in cui il
5 segnale d'indirizzo reca una pluralità di gruppi di codici d'indirizzo (ADDR(sec)-ADDR(col)) ciascuno riferito ad un dominio gerarchico in cui è suddivisa la memoria (3), e in cui detti mezzi di rilevazione di transizioni d'indirizzo comprendono una pluralità
10 di circuiti di rivelazione di transizioni (ATD1, ATD2, ATD3) ciascuno destinato a generare un rispettivo segnale di transizione (ATD_SEC, ATD_ROW, ATD_COL) rappresentativo di una modifica di uno di detti gruppi di codici, il segnale di rivelazione
15 (ATD_S) essendo ottenuto combinando i segnali di transizione.

4. Sistema secondo la rivendicazione 1, in cui il circuito di generazione (4) comprende mezzi circuitali di segnalazione di fine attesa (10, 11,
20 12, AND) per generare dopo detto intervallo di attesa un segnale di fine attesa (ENDREAD) che comanda la disattivazione del segnale d'attesa (WAIT).

5. Sistema secondo la rivendicazione 4, in cui detti mezzi circuitali di segnalazione (10, 11, 12, AND) comprendono almeno un blocco circuitale fittizio

Ing. Ferruccio POSTICIONI
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



(13;14-17) tale da influenzare la durata di detto intervallo d'attesa di una quantità variabile in funzione di almeno un parametro operativo del sistema di memoria (2) e secondo un comportamento
5 sostanzialmente riprodotto quello associato ad almeno un blocco architetturale e/o strutturale (PRE-DEC; ROW-DEC; SENSE_DEC) del sistema di memoria (2).


6. Sistema secondo le rivendicazioni 2 e 5, in cui i mezzi circuitali di segnalazione di fine attesa
10 (10, 11, 12, AND) sono collegati ai mezzi di rivelazione (ATD1; ATD2; ATD3; OR) e comprendono una pluralità di reti di ritardo (10, 11, 12) ciascuna associata ad un dominio gerarchico della memoria (2), per ricevere in ingresso un corrispondente segnale di
15 transizione (ATD_SEC, ATD_ROW, ATD_COL) e generare un corrispondente segnale ritardato, il segnale di fine attesa (ENDREAD) essendo ottenuto da una combinazione dei segnali ritardati.

7. Sistema secondo la rivendicazione 6, in cui
20 detta pluralità di reti di ritardo comprende una prima rete di ritardo (10) associata ad un primo dominio gerarchico della memoria (3) includente una pluralità di sottomatrici ($S_{j,k}$) della memoria (2), la prima rete di ritardo essendo tale da introdurre
25 nella propagazione del rispettivo segnale di

Ing. Ferruccio POSTIGLIONE

N Iscr. ALBO 940 B

In proprio e per gli altri)



transizione (ATD_SEC) che l'attraversa un primo ritardo temporale valutato in base al tempo d'accesso effettivo della memoria (2) che si verifica in seguito ad una modifica del segnale d'indirizzo
5 (ADD_{dec}) che comporti un cambio di sottomatrice all'interno del primo dominio gerarchico.

8. Sistema secondo la rivendicazione 7, in cui ciascuna rete di ritardo della pluralità di reti di ritardo (10, 11, 12) comprende un gruppo di blocchi
10 circuitali fittizi (13-17) ciascuno associato ad un rispettivo blocco architetturale (PRE-DEC; ROW-DEC; SENSE_DEC) del sistema di memoria (2) o strutturale della memoria (3), ciascun blocco circuitale fittizio introducendo un secondo ritardo temporale
15 sostanzialmente riprodotto quello introdotto dal blocco architetturale o strutturale cui è associato.

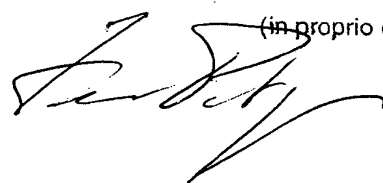
9. Sistema secondo la rivendicazione 8, in cui il secondo ritardo temporale di ciascun blocco circuitale fittizio è variabile in funzione di
20 dett'almeno un parametro operativo del sistema di memoria (2) e secondo un comportamento sostanzialmente riprodotto quello del corrispondente blocco architetturale o strutturale.

10. Sistema secondo la rivendicazione 1, in cui
25 detto almeno un parametro operativo comprende una

Ing. Ferruccio POSTIGLION

N. Iscr. ALBO 940 B

(in proprio e per gli altr





tensione di alimentazione della memoria (2).

11. Sistema secondo la rivendicazione 1, in cui detto almeno un parametro operativo comprende la temperatura a cui opera il sistema di memoria.

5 12. Sistema secondo le rivendicazioni 5 o 8, in cui detto almeno un blocco architetture è uno di seguenti blocchi: un precodificatore del segnale d'indirizzo (5), un decodificatore di riga (6), un decodificatore di colonna (7), un circuito di sense
10 (8).

13. Sistema secondo le rivendicazioni 5 o 8, in cui detto almeno un blocco strutturale è uno dei seguenti blocchi: una riga della memoria, un colonna della memoria, un cella della memoria.

15 14. Sistema secondo la rivendicazione 1, comprendente un dispositivo per generare un segnale di temporizzazione (CLOCK) del dispositivo di controllo (9) e in cui il circuito di generazione (4) è tale da attivare e disattivare il segnale d'attesa
20 in modo asincrono rispetto al segnale di temporizzazione.

15. Sistema secondo la rivendicazione 1, in cui detta memoria è una memoria Flash.

16. Sistema secondo la rivendicazione 1, in cui
25 detta memoria è organizzata secondo una pluralità di

Ing. Ferruccio POSTIGLIONE

N. Iscr. ALBO 940 B

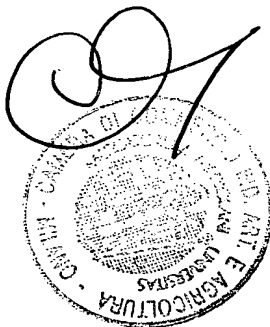
(in proprio e per gli altri)

domini gerarchici dl tipo includente settori, righe colonne, parole di memoria.

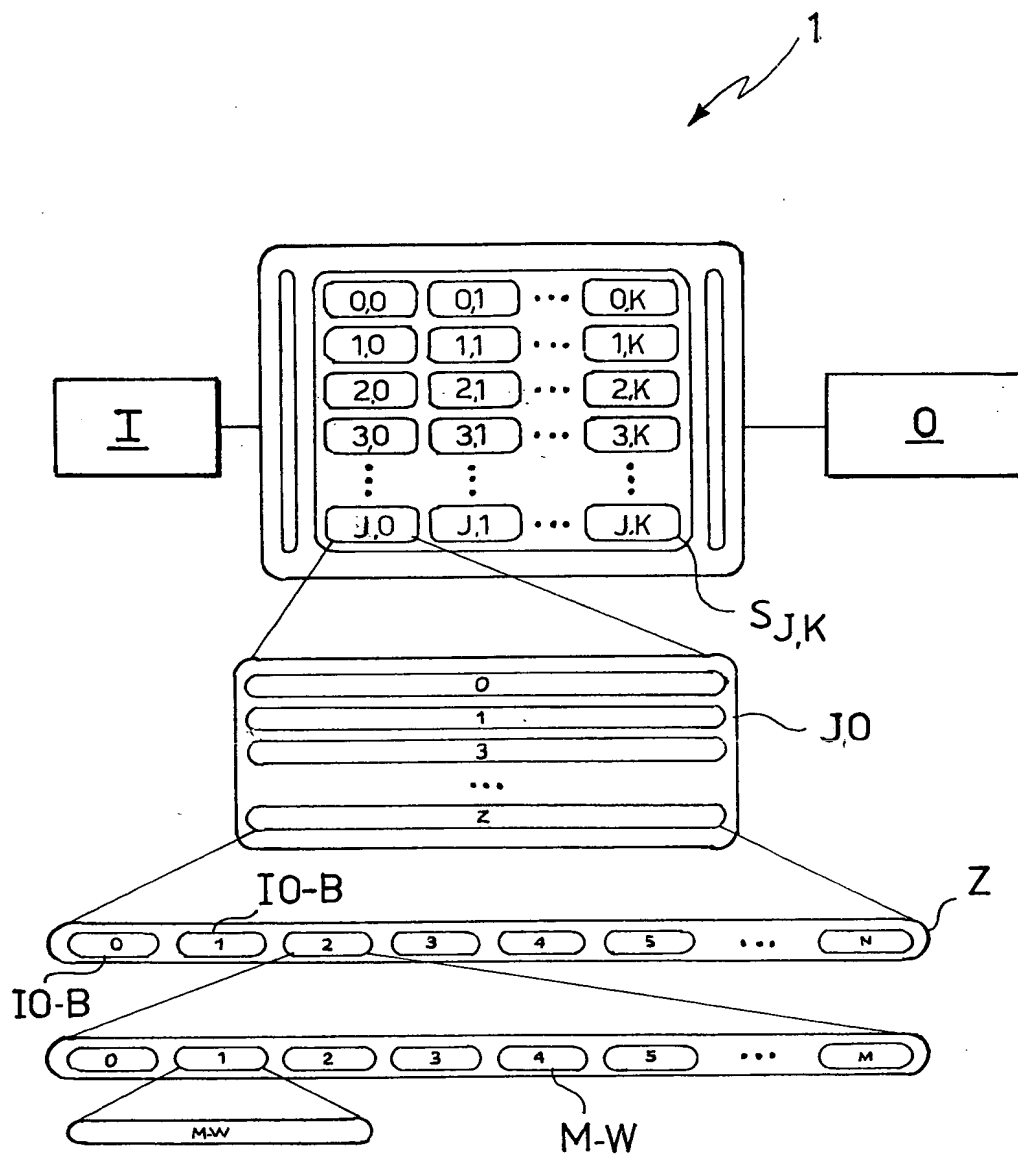
17. Sistema secondo la rivendicazioni 8, in cui almeno uno di detti blocchi circuitali fittizi (13-
5 17) include uno o più componenti elettronici facenti parte del blocco strutturale o del blocco architetturale a cui il blocco circuitale fittizio è associato.

18. Sistema digitale (100) includente:

- 10 - un sistema di memoria (2) comprendente una memoria a semiconduttore (3) per immagazzinare dati digitali, detta memoria essendo tale da ricevere un segnale d'indirizzo (ADDR) e rendere disponibile in uscita un dato selezionato mediante il segnale
15 d'indirizzo,
- un dispositivo di controllo (9) collegabile a detta memoria (3) per gestire operazioni di lettura, caratterizzato dal fatto che detto sistema di memoria è realizzato secondo almeno una delle
20 rivendicazioni da 1 a 17.

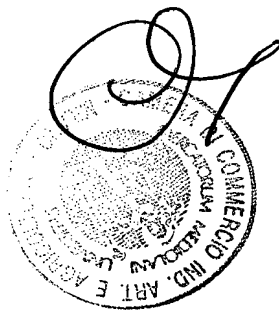


Ing. Ferruccio POSTIGLIONE
N. Iscr. ALBO 940 B
(in proprio e per gli altri)



MI 2002A 002629

FIG. 1



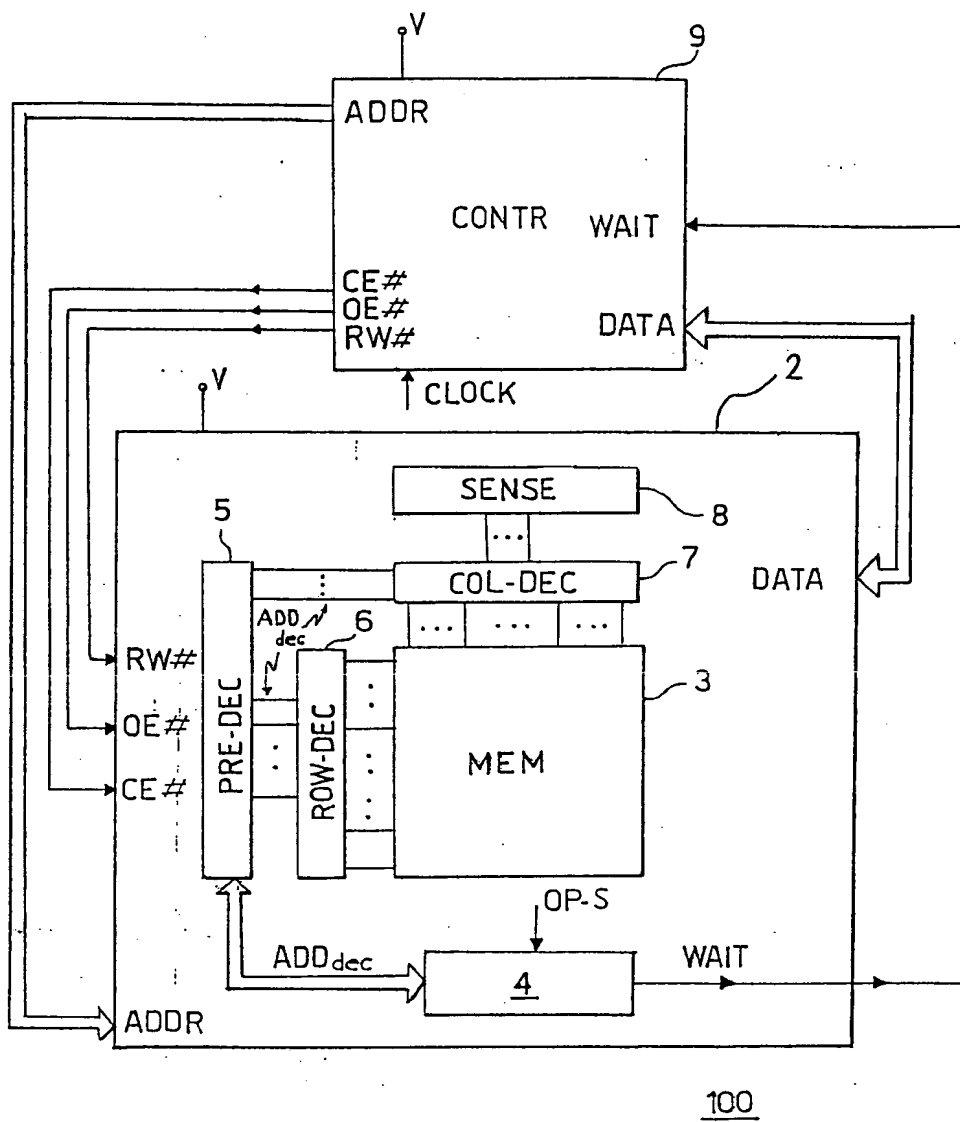
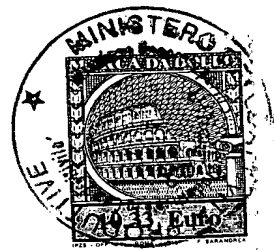


FIG. 2

MI 2002A 002629



Ing. Ferruccio POSTIGLIONE
 N. Iscr. ALBO 940 B
 (in proprio e per gli altri)



4

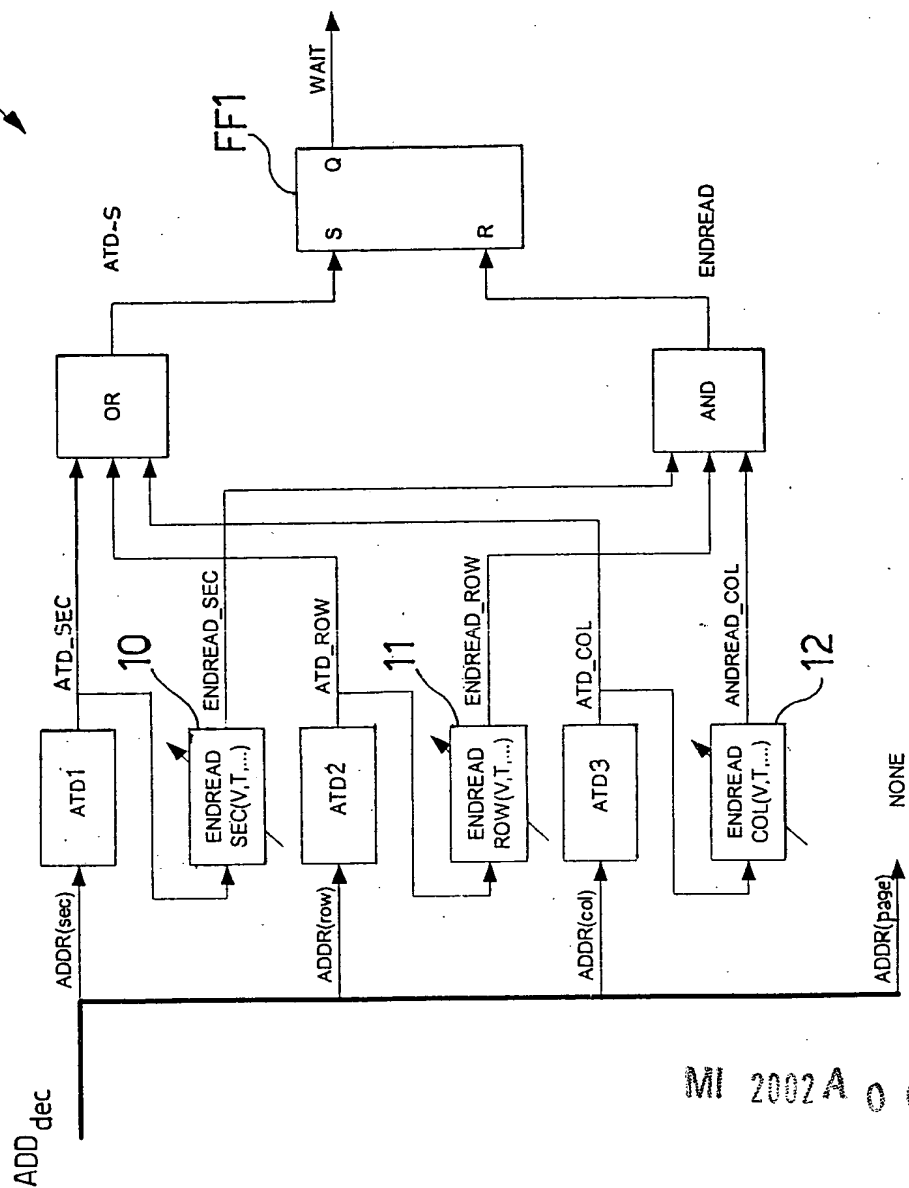
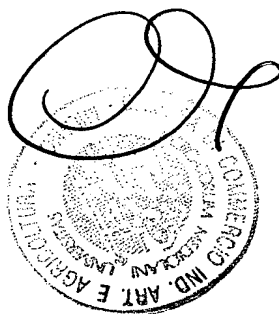


FIG. 3

MI 2002 A 0 0 2 6 2 9



Ing. Ferruccio POSTOLONE
 N. Iscr. ALBO 940 B
 (in proprio e per gli altri)

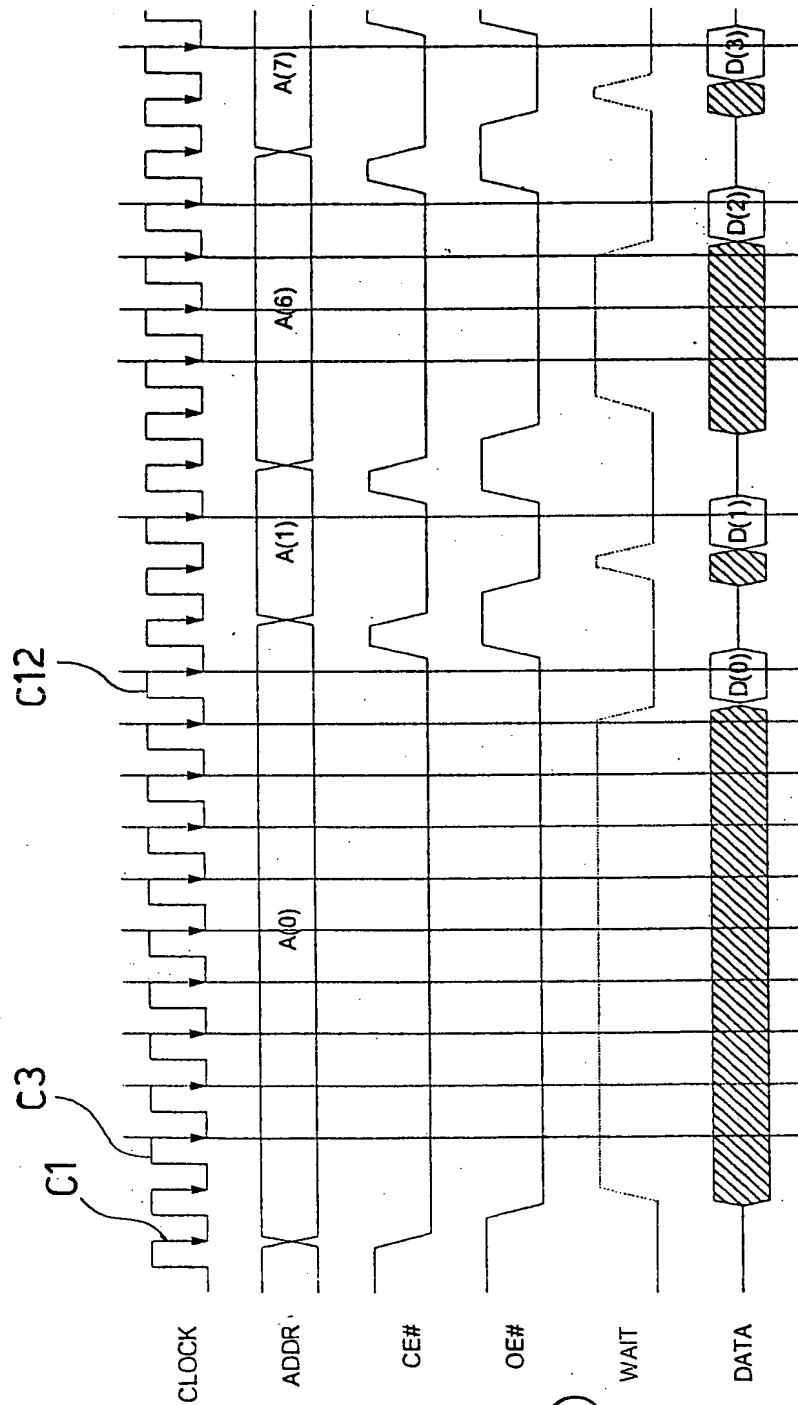
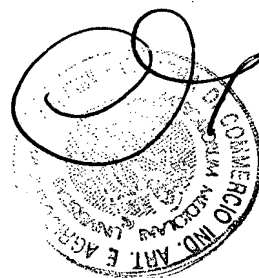


FIG. 4

MI 2002A 002629



Ferruccio Postiglione
 Ing. Ferruccio POSTIGLIONE
 N. Iscr. ALBO 940 B
 (in proprio e per gli altri)

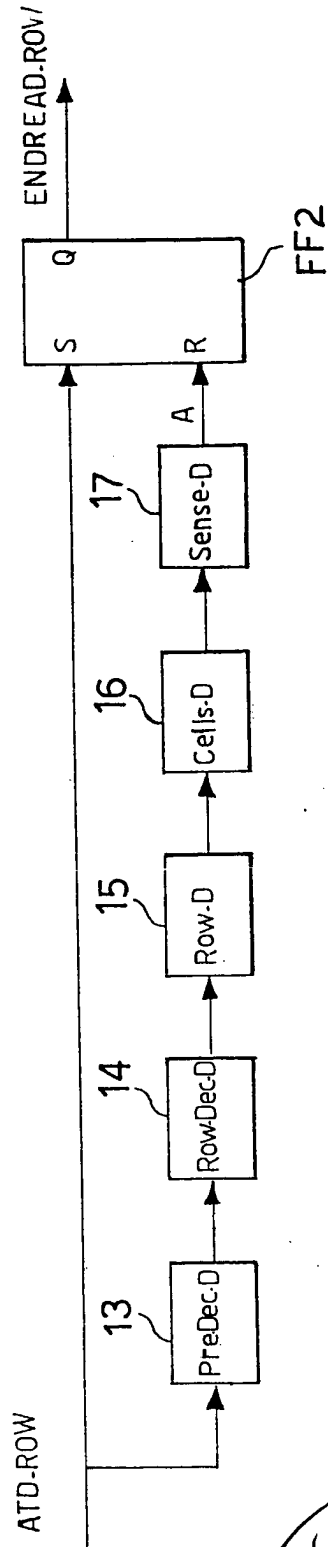
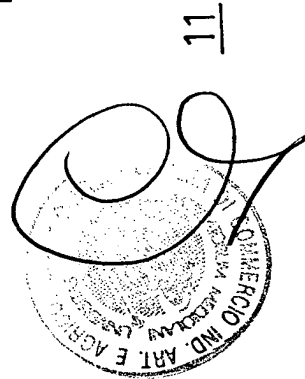


FIG. 5

MI 2002A 0 0 2 6 2 9



Ing. Ferruccio POSTIGLIONE
 N. Iscr. ALBO 940 B
 (in proprio e per gli altri)

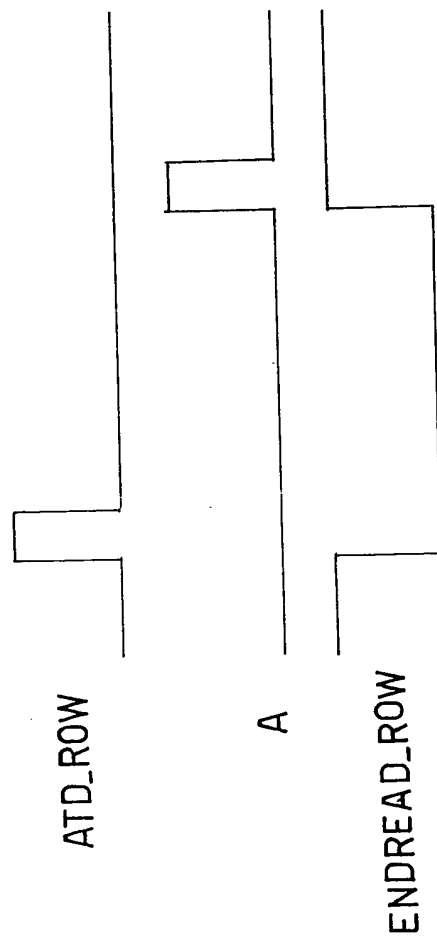


FIG.6

MI 2002 A 0 0 2 6 2 9

